

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 4 0 7 5 2

(43) 公開日 平成 7 年 ( 1 9 9 5 ) 9 月 1 2 日

|                            |      |         |            |        |
|----------------------------|------|---------|------------|--------|
| (51) Int. Cl. <sup>6</sup> | 識別記号 | 庁内整理番号  | F I        | 技術表示箇所 |
| H04L 12/28                 |      | 9466-5K | H04L 11/20 | G      |
| H04Q 3/00                  |      | 9466-5K |            | H      |

審査請求 未請求 請求項の数 2 0 O L (全 1 5 頁)

|           |                              |          |                                                           |
|-----------|------------------------------|----------|-----------------------------------------------------------|
| (21) 出願番号 | 特願平 6 - 2 9 3 3 4            | (71) 出願人 | 0 0 0 0 0 5 2 2 3<br>富士通株式会社<br>神奈川県川崎市中原区上小田中 1 0 1 5 番地 |
| (22) 出願日  | 平成 6 年 ( 1 9 9 4 ) 2 月 2 8 日 | (72) 発明者 | 加久間 哲<br>神奈川県川崎市中原区上小田中 1 0 1 5 番地 富士通株式会社内               |
|           |                              | (72) 発明者 | 瓜生 士郎<br>神奈川県川崎市中原区上小田中 1 0 1 5 番地 富士通株式会社内               |
|           |                              | (74) 代理人 | 弁理士 大菅 義之 (外 1 名)                                         |

最終頁に続く

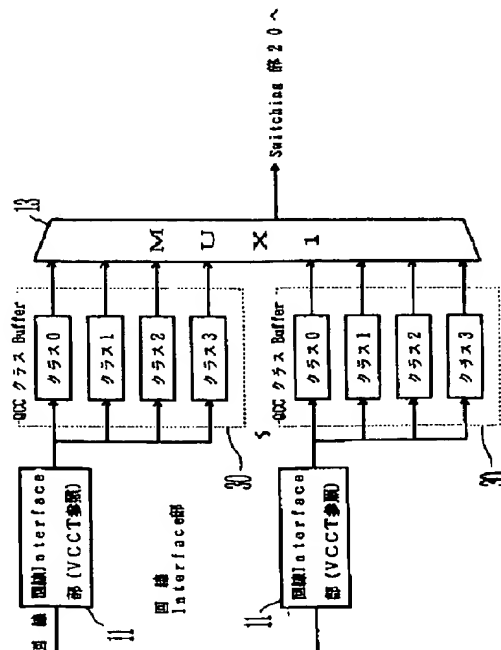
(54) 【発明の名称】 A T M 交換機のスイッチングパス設定方法

(57) 【要約】

【目的】 A T M 交換機内において、各種サービスに対するサービス種別毎の品質管理を容易に行えるようにする。

【構成】 回線インタフェース部 1 1 は、入力回線からセルを受信すると、そのセルのサービスが要求するの品質クラス (クラス 0 ~ 3) を表示する Q C C タグを付加する。Q C C クラスバッファ 3 0 は、Q C C タグに従って、セルを品質クラスに対応づけて格納する。各品質クラスにはそれぞれ所定の読出し帯域が割り当てられており、その読出し帯域で Q C C クラスバッファ 3 0 から品質クラスごとに独立にセルを読み出す。各品質クラスの読出し帯域の加算値はスイッチのパスの帯域である。Q C C クラスバッファ 3 0 から読み出したセルをマルチプレクサ 1 3 が多重化してスイッチ部 2 0 へ出力する。

入力回線とスイッチとの間に設けた品質クラスバスの設定を行う回路を模式的に示した図



## 【特許請求の範囲】

【請求項1】 入力回線から受信した入力セルの制御情報に基づいてそのセルに品質クラスを設定する入力インタフェース手段(1)と、  
上記入力インタフェース手段(1)によって設定されたセルの品質クラスを認識してその品質クラスに対応づけてセルを格納するバッファ手段(2)と、  
各品質クラスに対して割り当てられた所定のパラメータに従って、上記バッファ手段(2)からセルを読み出す制御を行う読出し制御手段(3)と、  
上記読出し制御手段(3)の制御に従って読み出されたセルを交換するスイッチ手段(4)と、  
から成ることを特徴とするATM交換機のスイッチングパス設定方法。

【請求項2】 上記入力インタフェース手段(1)が、入力セルの制御情報部に格納されているセル識別子と品質クラスとの対応関係を定義した変換テーブル(12)を有し、その変換テーブル(12)に従ってセルに品質クラスを設定することを特徴とする請求項1に記載のATM交換機のスイッチングパス設定方法。

【請求項3】 上記入力インタフェース手段(1)が、セルのタグとして品質クラスを設定することを特徴とする請求項1に記載のATM交換機のスイッチングパス設定方法。

【請求項4】 上記読出し制御手段(3)が、各品質クラスに対して割り当てた所定の帯域に基づいて上記バッファ手段(2)から対応する品質クラスのセルを読み出す制御を行うことを特徴とする請求項1に記載のATM交換機のスイッチングパス設定方法。

【請求項5】 上記読出し制御手段(3)が、各品質クラスに対して割り当てた所定の帯域の加算値を上記スイッチ手段(4)のパスの帯域またはその物理帯域よりも小さい帯域とする制御を行うことを特徴とする請求項4に記載のATM交換機のスイッチングパス設定方法。

【請求項6】 上記読出し制御手段(3)が、各品質クラス毎の呼の申告帯域の和に基づいて上記バッファ手段(2)からの読出し帯域を決定し、その帯域に基づいて上記バッファ手段(2)からセルを読み出す制御を行うことを特徴とする請求項1に記載のATM交換機のスイッチングパス設定方法。

【請求項7】 上記バッファ手段(2)の任意の品質クラスのセル蓄積量がその品質クラスに対して設定されている閾値を越えた場合、その品質クラスのセルを破棄することを特徴とする請求項1に記載のATM交換機のスイッチングパス設定方法。

【請求項8】 上記読出し制御手段(3)が、上記バッファ手段(2)に格納されたセル蓄積量に基づいて各品質クラスに対して割り当てる帯域を変更し、その変更された帯域に従って上記バッファ手段(2)からセルを読み出す制御を行うことを特徴とする請求項1に記載のA

TM交換機のスイッチングパス設定方法。

【請求項9】 上記読出し制御手段(3)が、上記バッファ手段(2)に格納された品質クラス毎のセル蓄積量に基づいて、各品質クラス毎に割り当てた上記バッファ手段(2)の容量を変更することを特徴とする請求項1に記載のATM交換機のスイッチングパス設定方法。

【請求項10】 複数の入力回線からそれぞれ受信した入力セルの制御情報に基づいてそのセルに品質クラスを設定する複数の入力インタフェース手段と、

10 上記各入力インタフェース手段によって品質クラスが設定されたセルをそれぞれその品質クラスに対応づけて格納する複数のバッファ手段と、

各品質クラスに対して割り当てられた所定のパラメータに従って上記各バッファ手段からセルを読み出す制御を行う読出し制御手段と、

上記読出し制御手段の制御に従って上記複数のバッファ手段から読み出されたセルを多重する多重化手段と、  
上記多重化手段が出力するセルを交換するスイッチ手段と、

20 から成ることを特徴とするATM交換機のスイッチングパス設定方法。

【請求項11】 スイッチから出力された所定の品質クラスが設定されているセルを、その品質クラスに対応づけて格納するバッファ手段(5)と、

各品質クラスに対して割り当てられた所定のパラメータに従って上記バッファ手段(5)からセルを読み出す制御を行う読出し制御手段(6)と、

上記読出し制御手段の制御に従って読み出されたセルを出力回線に出力する出力インタフェース手段(7)と、  
30 から成ることを特徴とするATM交換機のスイッチングパス設定方法。

【請求項12】 上記読出し制御手段(6)が、上記出力回線に割り当てられた帯域で上記バッファ手段(5)からセルを読み出す制御を行うことを特徴とする請求項11に記載のATM交換機のスイッチングパス設定方法。

【請求項13】 上記読出し制御手段(6)が、上記出力回線に割り当てられた帯域を各品質クラスに対して所定の割合で振り分け、その各品質クラスに振り分けられた帯域で対応する品質クラスのセルを上記バッファ手段(5)から読み出す制御を行うことを特徴とする請求項12に記載のATM交換機のスイッチングパス設定方法。

【請求項14】 上記読出し制御手段(6)が、各品質クラス毎の呼の申告帯域の和に基づいて上記バッファ手段(5)からの読出し帯域を決定し、その帯域に基づいて上記バッファ手段(5)からセルを読み出す制御を行うことを特徴とする請求項11に記載のATM交換機のスイッチングパス設定方法。

50 【請求項15】 上記バッファ手段(5)の任意の品質

クラスのセル蓄積量がその品質クラスに対して設定されている閾値を越えた場合、その品質クラスのセルを破棄することを特徴とする請求項11に記載のATM交換機のスイッチングパス設定方法。

【請求項16】 上記読出し制御手段(6)が、上記バッファ手段(5)に格納されたセル蓄積量に基づいて各品質クラスに対して割り当てる帯域を変更し、その変更された帯域に従って上記バッファ手段(5)からセルを読み出す制御を行うことを特徴とする請求項11に記載のATM交換機のスイッチングパス設定方法。

【請求項17】 上記読出し制御手段(6)が、上記バッファ手段(5)に格納された品質クラス毎のセル蓄積量に基づいて、各品質クラス毎に割り当てた上記バッファ手段(5)の容量を変更することを特徴とする請求項11に記載のATM交換機のスイッチングパス設定方法。

【請求項18】 スイッチ手段から出力された所定の品質クラスが設定されているセルを、その品質クラスに対応づけて格納するバッファ手段と、各品質クラスに対して割り当てられた所定のパラメータに従って上記バッファ手段からセルを読み出す制御を行う読出し制御手段と、上記読出し制御手段の制御に従って読み出されたセルを、そのセルの制御情報に基づいて所定の放路に出力する分離手段と、該分離手段から出力されたセルをそれぞれ受信し、そのセルを回線に出力する出力インタフェース手段と、からなることを特徴とするATM交換機のスイッチングパス設定方法。

【請求項19】 入力回線から受信した入力セルの制御情報に基づいてそのセルに品質クラスを設定する入力インタフェース手段(1)と、上記入力インタフェース手段(1)によって設定されたセルの品質クラスを認識してその品質クラスに対応づけてセルを格納する第1のバッファ手段(2)と、各品質クラスに対して割り当てられた第1のパラメータに従って上記第1のバッファ手段(2)からセルを読み出す制御を行う第1の読出し制御手段(3)と、上記第1の読出し制御手段(3)の制御に従って読み出されたセルを交換するスイッチ手段(4)と、該スイッチ手段(4)から出力されたセルをその品質クラスに対応づけて格納する第2のバッファ手段(5)と、各品質クラスに対して割り当てられた第2のパラメータに従って上記第2のバッファ手段(5)からセルを読み出す制御を行う第2の読出し制御手段(6)と、上記第2の読出し制御手段(6)の制御に従って読み出されたセルを出力回線に出力する出力インタフェース手段(7)と、から成ることを特徴とするATM交換機のスイッチング

パス設定方法。

【請求項20】 複数の入力回線からそれぞれ受信した入力セルの制御情報に基づいてそのセルに品質クラス、交換機内ルート情報および出力先情報を設定する複数の入力インタフェース手段と、

上記各入力インタフェース手段品質クラスが設定されたセルをそれぞれその品質クラスに対応づけて格納する複数の第1のバッファ手段と、

各品質クラスに対して割り当てられた第1のパラメータに従って上記各第1のバッファ手段からセルを読み出す制御を行う第1の読出し制御手段と、

上記第1の読出し制御手段の制御に従って上記複数の第1のバッファ手段から読み出されたセルを多重化する多重化手段と、

上記多重化手段が出力するセルを、上記交換機内ルート情報に従って交換するスイッチ手段と、

該スイッチ手段から出力されたセルをその品質クラスに対応づけて格納する第2のバッファ手段と、

各品質クラスに対して割り当てられた第2のパラメータに従って上記第2のバッファ手段からセルを読み出す制御を行う第2の読出し制御手段と、

上記第2の読出し制御手段の制御に従って読み出されたセルを、上記出力先情報に従って分離する分離手段と、該分離手段によって分離された各セルをそれぞれ受信し、そのセルを出力回線に出力する複数の出力インタフェース手段と、

から成ることを特徴とするATM交換機のスイッチングパス設定方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 ATM交換機のスイッチングパス設定方法に係わり、特に、複数の品質クラスを設けたATM交換機におけるスイッチングパス設定方法に関する。

【0002】

【従来の技術】 ATM (Asynchronous Transfer Mode: 非同期転送モード) 方式は、情報を48バイトごとの固定長に区切り、その先頭部分に5バイトのヘッダと呼ばれる制御情報(アテ先など)を付加して転送する方式であり、この合計53バイトの情報のブロックをセルと呼ぶ。ATMでは、高速で情報を送りたいときには単位時間あたりに送るセルの数を増加させ、低速の場合にはそのセルの数を減少させることにより、容易に情報の伝送速度の調節を行える。したがって、ATMでは、電話音声データなどの数kbps程度の低速の情報から、動画などの数100Mbps程度の高速の情報までの各種サービスを統一的に扱うことができる。

【0003】 セルのルーティングは、セルのヘッダに格納されているVPI(仮想パス識別子)およびVCI(仮想チャネル識別子)によって制御される。すなわ

ち、セルがATM交換機に入力されると、入力セルのVPI/VC Iと出力セルのVPI/VC Iとの対応関係、および入力セルのVPI/VC IとATM交換機内のルートとの対応関係が格納されている変換テーブルを参照して、そのセルに付加されているVPI/VC Iが書き換えられると共に、そのセルの先頭にタグと呼ばれるルーティング用の情報が付加される。この結果、セルは、タグによって決定されるルートを通して所定の出力回線に出力される。尚、この変換テーブルは、呼の設定時に書き込まれる。

【0004】ATMでは、上述したように各種サービスを統一的に扱うので、任意のパスにデータ伝送が集中し、そのデータ伝送の帯域がパスの容量を越えてしまうことがありえる。このため一般に、ATM交換機は、各セルをいったんバッファメモリに蓄積し、セル伝送の瞬間速度がパスの容量を越えないようにセルを読み出すシェーピング機能を有している。バッファメモリの構成としては、クロスポイント型、入力バッファ型、出力バッファ型、共通バッファ型等が知られている。クロスポイント型は、各スイッチ素子の入力と出力のクロスポイント（交差点）にそれぞれバッファを設ける。入力バッファ型、出力バッファ型は、それぞれスイッチの入力側、出力側にバッファを設ける。共通バッファ型は、スイッチの各入力または各出力端子用のバッファを共通に設ける。しかしながら、例えばLANのデータ伝送のようなピーク性の高いトラヒックが入力されると、上記バッファメモリが瞬間的にオーバーフローしてしまう場合がある。この場合、オーバーフローしたセルは破棄される。

#### 【0005】

【発明が解決しようとする課題】ところで、ATMで扱う各種サービスは、セル転送時間に関する品質（絶対遅延時間、遅延ゆらぎ）やセル損失率（エラー率）に関する品質など、それぞれ異なる品質が要求され、また、その要求される品質のレベルもそれぞれサービスによって異なる。たとえば、LANデータをATMで転送する場合、端末間で伝送エラー発生時のデータ再送機能を有していることが多く、セル破棄などが発生したとしても上記再送機能によってデータは再送されるので、セル損失に対する要求はさほど厳しくない。一方、たとえば上述のようなデータ再送機能を有していない画像データ伝送の場合、特に高画質が要求される場合には、わずかなセル損失が画質に影響を及ぼす恐れがあるので、セル損失に関して厳しい要求が発生する。

【0006】ところが、現在までのところ、交換機内のパスの特性に対する解析が十分に行われておらず、バースト的なデータ入力等によってセル破棄が発生した場合、どのサービスのセルが破棄されるかは不明であった。したがって、セル損失に関する要求がさほど厳しくないセルが破棄されずに、その要求が厳しいセルが破棄されてしまうこともある。また、ATMでは、フレーム

リレー交換方式の packets 情報も処理することが可能であるが、フレームリレー交換方式では物理帯域よりも大きな帯域のパスが設定されるので、フレームリレー交換方式の packets で輻輳が発生すると、他のATMセルに対しても影響が及びやすく、ATMセルが破棄されるなどして品質が低下してしまう。この場合も、どのサービスのATMセルが破棄されるかは不明である。

【0007】従来は、セル破棄に関する優先・非優先の制御は、セルのヘッダ内のCLPビットに基づいて行っていたが、CLPビットは1ビットの制御信号であり、2レベルの優先順位しか設定することができない。このため、各種サービスのセルの品質管理を柔軟に行うことができなかった。

【0008】この問題を解決する方法の1つとして、各呼の設定時に申告される使用帯域と品質クラスに基づいて、その呼に交換機内での所定の帯域を割り当てる方法が考えられる。この方法では、各呼のVPI/VC Iごとに交換機内での所定の帯域を割り当てる必要があるが、通常、交換機内では非常に多くの種類のVPI/VC Iが交換される。したがって、帯域割り当てのためのテーブルは非常に大きな構成となり、特に伝送速度が高速になるとその制御がセルの伝送速度に追いつかなくなってしまう。具体的には、交換機内の適当なバッファにおいて帯域管理を行う場合、VPI/VC Iとそれぞれの許容帯域との対応関係を格納したテーブルを各バッファ毎に設け、各セルのVPI/VC Iとテーブル内のVPI/VC Iとを比較する必要がある。このため、VPI/VC Iを検出・比較する構成が大がかりになり、その処理も複雑になってしまう。

【0009】また、上記問題を解決する他の方法として、交換機内にスイッチを複数個設けて各サービスをそれらスイッチに割り当て、あるサービスに割り当てられたパスの輻輳が他のサービスに影響を及ぼすことを避けるという手法が考えられるが、この場合、スイッチのコストが高くなりサイズも大きくなってしまう。このような点を考慮すれば、既存のスイッチを用いながら、各サービス間で影響を及ぼしあわず、かつ各サービスごとの品質を容易に管理できるパスの設定方法が望まれる。

【0010】本発明は上記問題を解決するものであり、ATM交換機内において各種サービスに対するサービス種別ごとの品質管理を容易に行うことができるスイッチングパス設定方法を実現することを目的とする。

#### 【0011】

【課題を解決するための手段】本発明の手段を、発明の原理を示す図1を参照しながら説明する。本発明のATM交換機のスイッチングパス設定方法は、入力インタフェース手段1、第1のバッファ手段2、第1の読出し制御手段3およびスイッチ手段4から成る。

【0012】入力インタフェース手段1は、入力回線から受信した入力セルを交換機内セルの形式に変換する。

このとき、上記入力セルの制御情報（例えば、そのセルのヘッダに格納されている V P I / V C I ）に基づいてその交換機内セルに品質クラスを、例えばタグ情報として設定する。入力セルとそのセルの品質クラスとの対応関係は、例えば、呼の設定時に入力インタフェース手段 1 が有する変換テーブルに書き込まれる。

【 0 0 1 3 】第 1 のバッファ手段 2 は、上記品質クラスに対応づけて交換機内セルを格納する。このとき、交換機内セルは、品質クラス毎にそれぞれ F I F O (First InFirst Out) 形式で格納される。

【 0 0 1 4 】第 1 の読出し制御手段 3 は、各品質クラスに対して設定された所定のパラメータ、例えば帯域に従って第 1 のバッファ手段 2 から各品質クラスごとに交換機内セルを読み出す。また、第 1 の読出し制御手段 3 は、各品質クラスに対して設定した帯域の加算値がスイッチ手段 4 のパスの帯域またはその帯域よりも小さい帯域となるように第 1 のバッファ手段 2 から交換機内セルを読み出す。

【 0 0 1 5 】スイッチ手段 4 は、第 1 の読出し制御手段 3 の制御に従って読み出された交換機内セルを交換する。本発明の他の態様は、第 2 のバッファ手段 5、第 2 の読出し制御手段 6、出力インタフェース手段 7 から成る。

【 0 0 1 6 】第 2 のバッファ手段 5 は、スイッチから出力された品質クラスを有する交換機内セルをその品質クラスに対応づけて格納する。第 2 の読出し制御手段 6 は、各品質クラスに対して設定された所定のパラメータ、例えば帯域に従って第 2 のバッファ手段 5 から交換機内セルを読み出す。また、第 2 の読出し制御手段 5 は、出力回線に割り当てられている帯域で交換機内セルを読み出す。

【 0 0 1 7 】出力インタフェース 7 手段は、第 2 の読出し制御手段 6 の制御に従って読み出された交換機内セルを回線上でのセル形式に変換して出力回線に出力する。なお、本発明は、上記手段 1 ～ 7 から成る構成とすることも可能であり、その場合、スイッチ手段 4 が出力する交換機内セルを第 2 のバッファ手段 5 に品質クラスに対応づけて格納する。

【 0 0 1 8 】

【作用】入力回線から受信した入力セルは、入力インタフェース手段 1 によって交換機内セルの形式に変換されるとき、その入力セルの制御情報（ヘッダに格納されている V P I / V C I ）に基づいた品質クラスが付加される。このため、交換機内セルに、そのセルのサービス種別に対応する品質クラスを付加できる。このように、交換機に複数の品質クラスをもたせ、その品質クラスにサービスを割り当てる。

【 0 0 1 9 】そして、この交換機内セルを各品質クラスに対応づけて格納し、第 1 の読出し制御手段 3 の制御に従ってその交換機内セルを各品質クラスごとに設定した

パラメータに従って読み出すので、セル破棄は品質クラスごとに独立に行われる。このことは、交換機内に仮想的な品質クラスパスを設定したことと同じであり、ある品質クラスに割り当てられたサービスにおいて輻輳などによるセル破棄が発生しても、他の品質クラスに割り当てられたサービスに影響が及ばない。

【 0 0 2 0 】また、第 1 の読出し制御手段 3 は、各品質クラスに対して割り当てた帯域の加算値をスイッチ手段 4 のパスの帯域またはその帯域よりも小さい帯域とするので、スイッチ手段 4 へ入力されるセルがそのクロスポイントにおいて破棄されることはない。したがって、上記各手段 1 ～ 3 によってサービス毎の品質管理を行うことができる。

【 0 0 2 1 】スイッチ手段 4 によって交換された交換機内セルは、品質クラスに対応づけられて第 2 のバッファ手段 5 に格納され、第 2 の読出し制御手段 6 の制御に従って読み出される。このとき、スイッチ手段 4 が出力する任意の品質クラスの帯域が増加して第 2 のバッファ手段 5 でセル破棄が発生したとしても、セル破棄は品質クラスごとに独立に行われるので、あるクラスのサービスの輻輳が他のサービスへ影響を及ぼすことはない。また、第 2 の読出し制御手段 6 は、各出力回線の帯域に従ってセルを読み出すので、任意の出力回線へ出力されるセルの帯域がその出力回線に割り当てられている帯域を越えることはなく、回線に出力するときにセル破棄は起こらない。

【 0 0 2 2 】このように、各セルのサービス種別を A T M 交換機内の品質クラスに割り当てて、仮想的な品質クラスパスを設定することによって各品質クラスに割り当てたサービスごとに品質管理を行う。

【 0 0 2 3 】

【実施例】以下、本発明の実施例を図面を参照しながら説明する。図 2 は本発明の一実施例の A T M 交換機の全体構成を説明する構成図である。同図に示すように、この実施例の A T M 交換機は、回線インタフェース装置 1 0 及びスイッチ部 2 0 から構成される。そして、回線インタフェース装置 1 0 は 1 6 本の回線を収容している。また、この A T M 交換機は、大容量小型化を実現するためにスイッチングを高速（ここでは、2. 4 G b p s ）で実行し、2 段階の多重・分離を行う構成である。

【 0 0 2 4 】回線インタフェース装置 1 0 は、各回線をそれぞれ終端する回線インタフェース部 1 1 を持っている。この回線インタフェース部 1 1 は、回線から入力されるセルを受信し、V C I 変換テーブル 1 2 に書き込まれている内容に従って、セルを回線上でのフォーマットから交換機内でのフォーマットに変換する。このとき、交換機内でのルート情報や交換機が有する品質クラスに関する情報をセルの先頭にタグとして付加する。

【 0 0 2 5 】V C I 変換テーブル 1 2 ( V C C T ) は、R A M 等のメモリからなり、各入力セルの V P I / V C

Iに対応づけて、出力セルのVPI/VCIおよびタグ情報を格納している。これらの対応関係は、呼の設定時に呼ごとに書き込まれる。

【0026】マルチプレクサ13 (MUX1) は、各回線インタフェース部11から出力されるセルを多重化して出力する。ここでは、16個の回線インタフェース部11から出力されるセルを多重してスイッチ部20へ転送する。

【0027】マルチプレクサ21 (MUX2) は、回線インタフェース装置10から転送されてきたセルを多重化してスイッチ22に対して出力する。スイッチ22は、セルフルーティングスイッチであり、セルの先頭に付加されているタグ情報に基づいて、ハードウェアで入力端から出力端までのルートを選択し、高速でセルを交換して出力する。

【0028】デマルチプレクサ23 (DMUX2) およびデマルチプレクサ14 (DMUX1) は、スイッチ22から出力されたセルを、そのセルの先頭に付加されているタグ情報に基づいた放路に出力する。そして、デマルチプレクサ14から出力されたセルは、回線インタフェース部11において交換機内でのフォーマットから回線上でのフォーマットに変換されて回線に出力される。

【0029】次に、回線上のセルおよび交換機内セルのフォーマットを図3を参照しながら説明する。図3

(a) は、回線上でのセルのフォーマットである。同図に示すように、回線上でのセルは、先頭の12ビットがVPIであり、このVPIに続く16ビットがVCIである。そして、ペイロードの種類(ユーザ情報であるのか、あるいは制御情報であるのか等)を示す3ビットのPTI(ペイロード・タイプ)、1ビットのCLP(セル損失優先表示)、ヘッダ部の誤り検出とセル同期に用いられる8ビットのHEC(ヘッダ誤り制御)がVPI/VCIに続く。そして、上記5バイトのヘッダに続いて48バイトのペイロードが格納されている。なお、回線上では、セルはシリアル形式で伝送される。

【0030】VPI/VCIの設定は、以下のようにして行う。まず、呼の設定時に、加入者がシグナリング等によって、相手先、申告帯域、サービス種別などに関する情報を交換機に通知する。交換機は、その通知された情報を基にパスを設定できるか否かを調べ、設定できる場合はVPI/VCIを決定し、発呼した加入者に対してそのVPI/VCIを返送する。そして、加入者は、以後このVPI/VCIを用いて相手先とデータを授受する。なお、このとき、VCI変換テーブル12が書き込まれる。

【0031】図4に、VCI変換テーブル12を模式的に示す。VCI変換テーブル12には、出力セルのVPI/VCIおよび交換機内でそのセルに付加するタグ情報とが格納される。これらの情報は、呼の設定時に、加入者が交換機に対して通知する通信相手先、申告帯域、

サービス種別などに関する情報に基づいて、上述のようにして交換機が決定したVPI/VCIにユニークに対応するアドレスに書き込まれる。したがって、入力セルのVPI/VCIを検出すれば、そのセルに設定すべき出力VPI/VCIおよびタグ情報が得られる。

【0032】図3(b)は、交換機内でのセルのフォーマットである。同図に示すように、交換機内でのセルは、その先頭に2バイトのタグが付加されており、そのタグに続いてVPI/VCI、PTI、CLP、およびペイロードが格納される。

【0033】タグ情報はVCI変換テーブル12から読み出したものである。このタグの先頭の3ビットは属性表示タグであり、CLPをコピーしたビット、テストセルであるか否かを表示するビット、ポイント対ポイント通信であるのかポイント対マルチポイント通信であるのかを表示するビットからなる。スイッチタグは3ビットの情報であり、このスイッチタグがスイッチ22内でのセルの通過するルートを決定する。

【0034】QCCタグは2ビットの情報であり品質クラスを表示する。この実施例では、2ビットのQCCタグによって4クラス(クラス0~3)を設定する。また、この実施例においては、セル損失率(破棄率)の許容値に従って品質クラスを設定しているが、この他にもセル伝送遅延時間を基準としてクラス分けを行う構成としてもよい。

【0035】この品質クラスはサービス種別と対応関係を持たせてある。すなわち、加入者が要求するサービスは、例えばビデオデータ、音声データ、コンピュータデータ等、そのサービス種別によって要求される品質(セル損失率)が異なっており、この各サービスの要求品質を上記品質クラスに対応させて、各サービスを上記品質クラスに割り当てる。上記対応関係はATMネットワークにおいて予め決められており、呼の設定時に加入者が要求するサービスを交換機に通知したときに、そのサービスに対して割り当てられている品質クラスを表示するQCCタグの内容をVCI変換テーブル12内の所定アドレスに書き込む。

【0036】QCCタグに続く8ビットの回線インタフェース装置タグは、デマルチプレクサ23またはデマルチプレクサ14の出力方路を指示する。上記タグの次にはVPI/VCIが続くが、このVPI/VCIはVCI変換テーブル12を参照して書き換えられた値である。また、PTI、CLPは、回線上のセルのものと同一である。そして、上記ヘッダに続いてペイロードが格納される。なお、セルは交換機内ではパラレル処理されるため、例えば8ビットパラレル形式で伝送され、水平バリティを用いてセルデータの正常性を確認する。

【0037】次に、図5、図6を参照しながら品質クラスパスの設定について説明する。図5は、入力回線とスイッチとの間に設けられた品質クラスパスを設定するた

10

20

30

40

50

めに用いるQCCクラスバッファとその周辺部を模式的に示した図である。同図に示す例においては、QCCクラスバッファ30をマルチプレクサ13の前段に設けているが、QCCクラスバッファ30をマルチプレクサ13とマルチプレクサ21との間に設ける構成とすることも可能である。

【0038】回線インタフェース部11は、回線からセルを受信すると、VCI変換テーブル12を参照してそのセルを回線上のフォーマットから交換機内のフォーマットに変換する。このとき、上述したように、各セルにはそのセルの品質クラスを表示するQCCタグが付加される。

【0039】回線インタフェース部11が出力したセルは、QCCタグに従って品質クラス0～3に分類され、その品質クラスに対応づけられてQCCクラスバッファ30に書き込まれる。このように、タグを用いてセルの品質クラスの認識を行うので、その処理を高速で実行することが出来る。このQCCクラスバッファ30は4個の独立したバッファで構成することができる。この場合、各バッファに1つの品質クラスを割り当てる。また、QCCクラスバッファ30を共通バッファで構成することもできるが、共通バッファでの構成は後述詳しく説明する。

【0040】QCCクラスバッファ30からのセルの読み出しは、各品質クラス毎に行う。この読み出し制御は、各品質クラスに対して所定の読み出し帯域を割り当て、その読み出し帯域に従って各品質クラスのセルを読み出すものである。

【0041】例えば、品質クラス0のセルが交換機に入力すると、そのセルは品質クラス0と対応づけられてQCCクラスバッファ30に書き込まれ（「品質クラス0のバッファに書き込む」と表現する）、品質クラス0に対して割り当てられた帯域で読み出される。したがって、品質クラス0のバッファに書き込む帯域よりも、そこから読み出す帯域が大きい場合には、品質クラス0のバッファはオーバーフローすることがないので、セルは破棄されることはない。ところが、品質クラス0のバッファに書き込む帯域が、そこから読み出す帯域よりも大きくなると、品質クラス0のバッファがオーバーフローしてセルが破棄される。このようなセル破棄は、申告帯域を越えるバースト的なピーク性の高いデータが交換機に入力されたときに起こりうる。

【0042】このようなセル破棄を防ぐためには、全ての品質クラスに対して十分大きな読み出し帯域を割り当てればよいが、それら読み出し帯域の設定には以下のような制限がある。すなわち、上記各品質クラスに割り当てる読み出し帯域の加算値を、スイッチ22内のパスの帯域（または、スイッチ22内のパスの帯域よりも小さな帯域）に設定する必要がある。この制限を設けることによって、スイッチ22内の各クロスポイントでのセル破棄

を防ぐことができる。

【0043】このため、QCCクラスバッファ30において、いずれかの品質クラスでセル破棄が起こりうるが、品質クラス毎に独立してセルの書き込み・読み出しを行っているため、各品質クラス間で相互に影響を及ぼし合うことはない。すなわち、ある品質クラスにおいて輻輳などのためにセル破棄が発生したとしても、その輻輳が他の品質クラスにおいてセル破棄を引き起こすことはなく、上記他の品質クラスの品質を低下させることはない。このことは、交換機内に品質クラス毎の仮想的なバスを設けたことと等価である。

【0044】各品質クラス0～3に対してそれぞれ読み出し帯域が割り当てられるが、この帯域が各品質クラスの品質（セル破棄率）を決定する。たとえば、品質クラス0に割り当てられているサービスの品質要求が厳しくセル損失が殆ど許されないとすると、品質クラス0の読み出し帯域を品質クラス0のバッファへの書き込み帯域に比べて十分大きくする。このように品質クラス0の読み出し帯域を設定すれば、品質クラス0のバッファは常にマージンを持っており、品質クラス0のサービスのデータがバースト的に入力されても品質クラス0のバッファがオーバーフローすることはなくセル破棄は発生しない。

【0045】このように、各品質クラスの品質はその品質クラスのバッファへの書き込み帯域と読み出し帯域との関係に依存するが、上記書き込み帯域は呼の設定時の申告帯域から求められる。この申告帯域は、コネクション受付制御（CAC）と呼ばれるソフトウェアによって、現在接続されているバスに対して一元的に管理されている。そして、各品質クラス毎に、この申告帯域の加算値と読み出し帯域とがそれぞれ所定の関係（例えば、所定の比率）になるように制御する。したがって、各品質クラスに割り当てる読み出し帯域は呼の設定ごとに変化する。尚、この実施例では、上述のようにして読み出し帯域を求めているが、例えば各サービスの利用状況の予測を基にして上記読み出し帯域を固定的に設定するようにしてもよい。

【0046】各品質クラス0～3がそれぞれ持っている要求品質は、例えばセル損失率で規定する。このセル損失率は、上記申告帯域と読み出し帯域との関係および各品質クラスが使用するバッファの容量から、シミュレーションによって算出できる。換言すれば、各品質クラスが使用するバッファ容量を既知とすると、各品質クラス毎の申告帯域はコネクション受付制御ソフトウェアによって管理されているので、任意のセル損失率を満たすような読み出し帯域を品質クラス毎に決定できる。

【0047】図6は、スイッチと出力回線との間に設けられた品質クラスバスを設定するために用いるQCCクラスバッファとその周辺部を模式的に示した図である。同図に示す例においては、QCCクラスバッファ40をデマルチプレクサ14の前段に設けているが、QCCク



ラスバッファ40をデマルチプレクサ23の前段に設ける構成とすることも可能である。

【0048】QCCクラスバッファ40の構成および書込み・読出し制御は、基本的には図5を用いて説明したQCCクラスバッファ30に対するものと同じである。QCCクラスバッファ40には、スイッチ22から出力されたセルをQCCタグに従って品質クラスに対応づけて格納する。また、QCCクラスバッファ40からセルを読み出す動作は、各品質クラスに対して所定の読出し帯域を割り当て、その読出し帯域で各品質クラス毎に独立にセルを読み出し、デマルチプレクサ14に出力する。そして、デマルチプレクサ14は、各セルの回線インタフェース装置タグが指定する回線インタフェース部11に対してセルを出力し、回線インタフェース部11がそのセルを回線に出力する。

【0049】QCCクラスバッファ40からのセルの読み出しは、各回線インタフェース部11の帯域に従って行う。換言すれば、各回線インタフェース部11が現在終端しているサービスに対応するクロックでセルの読み出しを行う。各回線インタフェース部11の帯域がそれぞれ異なる場合には、その読出しクロックを順次変化させる。この実施例では、このクロックの帯域を各品質クラスに対して所定の割合で読出し帯域として振り分け、その読出し帯域で各品質クラス毎に対応するセルを読み出す。なお、各回線インタフェース部11の帯域は、コネクション受付制御ソフトウェアによって一元的に管理されている。

【0050】このように読出し帯域を設定すると、スイッチ22で交換された後にある回線に出力されるセルの帯域が、その回線に割り当てられている帯域よりも大きくなった場合、QCCクラスバッファ40においてセル破棄が行われるので、回線インタフェース部11または回線上でセル破棄が発生することはない。そして、このQCCクラスバッファ40でのセル破棄は、品質クラス毎に独立に行われるので、ある品質クラスに割り当てられたサービスが輻輳状態となってその品質クラスでセル破棄が発生しても、その輻輳が他の品質クラスに影響を及ぼすことはない。また、この場合、セル破棄はQCCクラスバッファ40においてのみ起こるので、QCCクラスバッファ40から読み出されたセルは、破棄されることなく回線を介して通信の相手先に転送される。

【0051】以上説明したように、この実施例の交換機では、スイッチ22の入力側のマルチプレクス部およびスイッチ22の出力側のデマルチプレクス部に、それぞれ品質クラスバッファを設け、それら品質クラスバッファに対するセルの書込み・読出し制御を品質クラス毎に独立して行う。そして、各品質クラスに対して割り当てられている上記品質クラスバッファがオーバーフローした場合、または各品質クラスに対して設定してあるバッファ使用量の閾値を越えた場合には、その品質クラスに

おいてのみセル破棄が起こり、他の品質クラスの品質を低下させることはない。従って、各品質クラスに対して所定の品質（許容セル破棄率）を設定しておけば、この品質クラス単位でセルの品質を管理できる。この結果、各サービスが要求するセル破棄に関する品質を満たすような管理を行うことができる。

【0052】また、交換機に入力するデータ量がバースト的に増加した場合には、上記品質クラスバッファにおいてセル破棄を発生させることによってスイッチ部でのセル破棄を防ぐようにしたので、スイッチ部の構成には何ら特別な手段を用いることなく、上述のような品質クラス毎、すなわちサービスごとの品質管理を行うことができる。換言すれば、上記品質管理はスイッチの構成に依存しないので、例えば大容量化のためにスイッチ部を多段接続する等してスイッチ部の構成を変更する場合でも、そのスイッチに対して特別な手段を行う必要はない。

【0053】さらに、この交換機では、各セルの品質クラスの情報を予めタグ情報としてセルに含ませ、そのタグ情報を用いて品質管理を行っている。この場合、品質クラスのクラス数は、交換機が処理するVPI/VC Iの数に比べて非常に少ないため、バッファ部での品質クラスの管理（制御）を容易かつ高速に実現できる。このことは、交換機内に仮想的な品質クラスバスを設けることによって実現されるものである。そして、この結果、VPI/VC Iと許容帯域との対応関係を格納する非常に大きなテーブルが不要になり、また、帯域管理においてVPI/VC Iの比較等の処理も不要になる。

【0054】次に、マルチプレクス部における品質クラスバッファとその周辺部の具体的な構成を、図7を参照しながら説明する。この実施例では、回線インタフェース装置10が16本の回線を收容し、それら回線をライン0～15を呼ぶことにする。そして、各ラインに対して共通バッファ31、品質クラス検出回路32、アドレスFIFO33および読出し制御回路34が設けられている。

【0055】ライン0から入力したセルは、ライン0を終端する不図示の入力インタフェース部（図5の回線インタフェース部11に対応する）によってフォーマット変換される。このフォーマット変換は、図3を用いて説明した変換であり、セルにそのセルの品質クラス（サービス種別）を表示するQCCタグが付加される。この入力インタフェース部が出力したセルは、共通バッファ31-0に書き込まれる。また、このとき、品質クラス検出回路32-0がQCCタグによってそのセルの品質クラスを認識する。

【0056】アドレスFIFO33-0は品質クラス毎に独立したFIFO形式のメモリであり、クラス0～クラス3用のFIFOからなる。そして、アドレスFIFO33-0は共通バッファ31-0に格納されるセルの



先頭アドレスを品質クラス毎に格納する。たとえば、品質クラス検出回路32-0によって認識された品質クラスがクラス0であった場合には、共通バッファ31-0に格納されるそのセルの先頭アドレスをアドレスFIFO33-0のクラス0用FIFOに書き込む。また、このとき、品質クラス検出回路32-0は、順序制御回路35に対してそのクラス番号（たとえば「0」）を通知する。

【0057】上記構成は、ライン0～15において同じであり、各ラインからセルが入力するごとにそのセルデータがそれぞれ共通バッファ31-0～31-15に書き込まれ、その書き込みアドレスがそれぞれアドレスFIFO33-0～33-15に品質クラス毎に格納される。さらに、品質クラス検出回路32-0～32-15は順序制御回路35に対してクラス番号（0～3）を通知する。

【0058】順序制御回路35は、品質クラス検出回路32-0～32-15からクラス番号を受信すると、その到着順序に従ってライン指定FIFO36内の上記クラス番号に対応したFIFOに、そのクラス番号を送出した品質クラス検出回路のライン番号を書き込む。例えば、品質クラス検出回路32-0からクラス番号「0」を受信した後に、品質クラス検出回路32-1からクラス番号「0」を受信した場合には、先ずライン指定FIFO36のクラス0用FIFOにライン番号「1」を格納する。もし、順序制御回路35が同時に同一のクラス番号を受信した場合には、たとえばライン番号が小さいほうを優先してライン指定FIFO36に書き込む。

【0059】ライン指定FIFO36からのライン番号の読み出しは、各品質クラス毎に割り当てた読出し帯域に従って制御する。この読出し制御の一例を図8を参照しながら説明する。ここでは、説明を簡単にするために、各品質クラス0～3に対して割り当てる読出し帯域として、それぞれ0.6Gbps、0.4Gbps、1.2Gbpsおよび0.2Gbpsが割り当てられているものとする。これら読出し帯域の加算値は2.4Gbpsであり、スイッチ22のパスの帯域と同じである。

【0060】各品質クラスの読出し帯域は読出し帯域テーブルに格納されており、その読出し帯域テーブルの内容に従って、ライン指定FIFO36からライン番号を読み出す。所定時間内に読み出すライン番号の数は、この読出し帯域の比率と同じであり、図8に示す例では、クラス0～3用FIFOから所定時間内にそれぞれ3個、2個、6個、1個の割合でライン番号を読み出す。

【0061】ライン指定FIFO36からライン番号を読み出すと、そのライン番号の読出し制御回路34-0～34-15に対して、そのライン番号が格納されてい

た品質クラス用FIFOのクラス番号を転送する。例えば、ライン指定FIFO36のクラス0用FIFOからその先頭に格納されているライン番号「0」を読み出した場合、制御回路34-0に対してクラス番号「0」を転送する。

【0062】制御回路34-0は、クラス番号「0」を受け取ると、アドレスFIFO33-0のクラス0用FIFOから、その先頭に格納されているアドレスデータを読み出す。そして、共通バッファ31-0から上記アドレスに格納されているセルデータを読み出してマルチプレクサ13-0に出力する。

【0063】マルチプレクサ13-0～13-15は、各ラインの共通バッファ31-0～31-15の出力をそれぞれ多重化して出力するが、任意のラインのマルチプレクサの出力データが、その任意のラインよりもライン番号が1つ大きいラインのマルチプレクサへ入力される。このような構成とすることにより、例えば回線インタフェース装置10に収容される回線を8本とするようなシステムとする場合には、マルチプレクサ13-7の出力データをスイッチ部20へ転送するようにするだけで、他の構成を変えことなく柔軟に対応できる。ここでは、マルチプレクサ13-15の出力データをスイッチ部20へ転送する。

【0064】この実施例では、各品質クラス0～3からセルを読み出す帯域の加算値は2.4Gbpsであり、各ラインから入力されたセルはマルチプレクサ13-0～13-15によって多重化されて、この帯域でスイッチ22に対して出力される。この帯域はスイッチ22内のパスの帯域と同じであるのでマルチプレクサ13-15から出力されたセルがスイッチ22において破棄されることはない。

【0065】ライン0～15から入力されるセルがバースト的に増加して、例えばそれら入力セルの帯域の合計が2.4Gbpsを越えた場合には、ライン指定FIFO36がオーバーフローすることによってセル破棄が発生する。ライン指定FIFO36の各クラス用FIFOはそれぞれ所定の容量を持っているが、ある品質クラスのセル転送が急激に増加すると、その品質クラスのクラス用FIFOがオーバーフローして、その品質クラスにおいてのみセル破棄が起る。

【0066】たとえば、コンピュータ間通信などのLANデータというサービスを品質クラス0に割り当てていとし、その品質クラス0のセルを瞬間的に大量に転送した場合、ライン指定FIFO36のクラス0用FIFOにおいてセル破棄が発生するが、他のクラス1～3用のFIFOではセル破棄は発生しない。したがって、この場合、上記LANデータの転送においてそのデータの一部が破棄されてしまうが、品質クラス1～3に割り当てられている他のサービスには影響が及ばず、それら他のサービスの品質低下を防ぐことができる。

【0067】上述のようなバースト的なセル入力があると、ライン指定FIFO36だけでなく、アドレスFIFO33-0～33-15においてオーバーフローが発生することもある。たとえば、ライン0から品質クラス0のセルがバースト的に入力すると、アドレスFIFO33-0のクラス0用バッファがオーバーフローしてしまう。この場合、共通バッファ31-0に対して品質クラス0のセルの書き込みを禁止することによってセル破棄を発生させる。この制御の一例としては、共通バッファ31-0の入力側に1セル分のバッファを設け、そのバッファにセルを格納している期間に、アドレスFIFO33-0においてそのセルの品質クラス用のFIFOにマージがあるか否か（または、所定の閾値を越えているか否か）を判断し、マージがあればそのセルデータを共通バッファ31-0に書き込み、無ければそのセルを破棄するという手法で実現できる。

【0068】この実施例では、図8の読出し帯域テーブルに格納された各品質クラスに割り当てた帯域を可変とすることも可能である。この制御の一例としては、図5を参照しながら説明したように、呼の設定ごとにその呼の使用帯域申告値を基に読出し帯域を決定して上記読出し帯域テーブルの内容を書き換えるものである。あるいは、各品質クラス毎の申告帯域と読出し帯域との対応関係を予めシミュレーション等で求めてテーブルに格納しておき、呼が設定されるごとにそのテーブルを検索するようにしてもよい。

【0069】次に、デマルチプレクス部における品質クラスバッファとその周辺部の具体的な構成を図9に示す。この構成は、図7に示す構成の1ライン分の構成と基本的には同じである。すなわち、スイッチ部20から到着したセルの品質クラスが、品質クラス検出回路42においてQCCタグによって認識される。また、そのセルのセルデータが共通バッファ41に書き込まれ、その書き込みアドレスがアドレスFIFO43の所定クラスに格納される。そして、各品質クラスに対して割り当てられた帯域に従って、読出し制御回路44がセルデータを読み出してデマルチプレクサ14へ転送する。

【0070】次に、図7の1ライン分の回路または図9の回路を他の形態によって構成した場合の実施例を図10に示す。ここでは、説明を簡単にするために、品質クラスを2クラスとする。

【0071】セルフィルタ51は、入力セルを品質クラス毎に分離する。すなわち、セルフィルタ51はクラス1用通過フィルタ51-1およびクラス2用通過フィルタ51-2を備えており、入力セルの品質クラスに従って、そのセルを通過または遮断する。そして、クラス1用通過フィルタ51-1を通過したセルはクラス1用バッファメモリ52-1に書き込まれ、クラス2用通過フィルタ51-2を通過したセルはクラス2用バッファメモリ52-2に書き込まれる。これらバッファメモリ5

2-1および52-2は、FIFOメモリである。

【0072】上記各バッファメモリ52-1および52-2は、それぞれカウンタ53-1および53-2を備えている。カウンタ53-1は、クラス1用バッファメモリ52-1にセルデータが書き込まれるごとにカウントアップし、そこからセルデータが読み出されるごとにカウントダウンする。カウンタ53-2は、クラス2用バッファメモリ52-2に対して同様の動作を行う。従って、これらカウンタ53-1または53-2のカウント値から、クラス1用バッファメモリ52-1またはクラス2用バッファメモリ52-2内のセル蓄積量を知ることができる。上記各カウント値は、出力制御部54に通知される。

【0073】クラス1用バッファメモリ52-1またはクラス2用バッファメモリ52-2から読み出されたセルはセレクト55に入力される。そして、セレクト55が出力制御部54の制御に従って、セルを多重化して出力する。

【0074】出力制御部54は、呼の設定時に通知される品質クラス（ここでは、サービス種別に対応する）および申告帯域に基づいて、クラス1、2に対して所定の割合で出力帯域を割り当てる。そして、セレクト55が、その出力帯域（セレクト指示）に従ってクラス1用バッファメモリ52-1またはクラス2用バッファメモリ52-2から入力されるセルを選択して出力する。

【0075】また、出力制御部54は、クラス1および2に割り当てた出力帯域と、各クラスが要求する許容最大遅延時間とからクラス1用バッファメモリ52-1およびクラス2用バッファメモリ52-2の容量を設定する。この設定は、カウンタ53-1および53-2のカウント値にそれぞれ所定の閾値を設けることによって行う。そして、カウンタ値がこの閾値を越えた場合、対応するバッファへのセルの書き込みを禁止する。

【0076】出力制御部54は、クラス1用バッファメモリ52-1またはクラス2用バッファメモリ52-2のセル蓄積量に基づいて、すなわちカウンタ53-1または53-2のカウント値に基づいて、各クラスに割り当てる帯域を変更する制御を行う。たとえば、クラス1用バッファメモリ52-1のセル蓄積量が、ある所定の値よりも小さくなったとすると、その場合、クラス1の出力帯域がその入力帯域に比べて必要以上に大きくなっている状態であり、換言すれば、クラス1が要求するセル破棄率に関する品質に比べて必要以上に高い品質でセル破棄制御を行っている状態である。したがって、この場合、クラス1の出力帯域を小さくし、その余剰帯域をクラス2へ割り当てることができる。このときの各クラスの出力帯域 $W_1$ 、 $W_2$ の算出方法の一例を示す。

【0077】 $W_1 = (L_1 / (D_1 - L_1)) \cdot K_1$   
 $W_2 = (L_2 / (D_2 - L_2)) \cdot K_2$

ここで、 $L_1$  および  $L_2$  は各クラス用バッファメモリ5

2-1 および5 2-2のセル蓄積量、 $D_1$  および $D_2$  は各クラスの許容最大遅延時間、 $K_1$  および $K_2$  は呼の設定時の各クラスのバッファの出力帯域である。

【0078】また、出力制御部5 4は、上述のようにして再設定された出力帯域に応じて各クラス用バッファメモリ5 2-1 および5 2-2の容量を変更する。ただし、各クラスが要求する許容最大遅延時間を満たすような容量とする。以下に、各容量 $Q_1$ 、 $Q_2$ の算出方法の一例を示す。

$$【0079】 Q_1 = D_1 \cdot (W_1 / \sum W_i)$$

以上のように、図10に示す実施例によれば、任意のクラスのトラヒック変動により、そのクラスのバッファのセル蓄積量が減少した場合に、許容最大遅延時間の範囲内でそのクラスのバッファからのセルの出力帯域を小さくすることで、余剰帯域を他のクラスへ割り当てることができ、総合的なセル転送効率を向上させることができる。

#### 【0080】

【発明の効果】本発明のスイッチングパス設定方法では、交換機に複数の品質クラスを設け、入力セルをそのサービス種別に応じて上記品質クラスに割り当て、この品質クラス毎にセル破棄に関する管理を行うので、あるサービスで輻輳が発生してセル破棄が発生しても他のサービスの品質が低下することはない。

【0081】また、上記品質管理を入力回線とスイッチとの間で行う場合、回線から入力するセルをそのセルの品質クラスに対応づけてバッファに書き込み、各品質クラスに割り当てた所定の帯域で上記バッファから品質クラス毎にそのセルを讀出すが、この讀出し帯域の加算値をスイッチのパスの帯域としているので、スイッチにおいてセル破棄が発生することはない、既存のスイッチを用いて容易にサービスごとの品質管理を行うことができる。

【0082】一方、上記品質管理をスイッチと出力回線との間で行う場合、スイッチから出力されたセルをそのセルの品質クラスと対応づけてバッファに書き込み、各品質クラスに割り当てた帯域で上記バッファから品質クラス毎にそのセルを讀出すが、これら帯域は出力回線の帯域を所定の割合で振り分けた値なので、スイッチ出力が特定の出力回線に集中するなどしても、セル破棄は上記バッファにおいてサービス毎に行われ、サービス間の干渉を防ぐことができる。

#### 【図面の簡単な説明】

【図1】本発明の原理を説明するためのブロック図である。

【図2】本発明の一実施例のATM交換機の構成図である。

【図3】上記実施例のATMセルの構造を説明する図であり、同図(a)が回線上でのフォーマットを示し、同図(b)が交換機内のフォーマットを示す。

【図4】VCI変換テーブルを模式的に示した図である。

【図5】入力回線とスイッチとの間に設けた品質クラスパスの設定を行う回路を模式的に表した図である。

【図6】スイッチと出力回線との間に設けた品質クラスパスの設定を行う回路を模式的に表した図である。

【図7】図5に示す回路を具体的に示す図であり、マルチプレクス部における品質クラスパス設定回路を示す。

【図8】ライン指定FIFOの制御を説明する概念図である。

【図9】図6に示す回路を具体的に示す図であり、デマルチプレクス部における品質クラスパス設定回路を示す。

【図10】図6または図7に示す回路の他の実施例を示すブロック図である。

#### 【符号の説明】

|            |                   |
|------------|-------------------|
| 1          | 入力インタフェース手段       |
| 2          | 第1のバッファ手段         |
| 3          | 第1の讀出し制御手段        |
| 4          | スイッチ手段            |
| 5          | 第2のバッファ手段         |
| 6          | 第2の讀出し制御手段        |
| 7          | 出力インタフェース手段       |
| 10         | 回線インタフェース装置       |
| 11         | 回線インタフェース部        |
| 12         | VCI変換テーブル         |
| 13         | マルチプレクサ(MUX1)     |
| 14         | デマルチプレクサ(DMUX)    |
| 1)         |                   |
| 20         | スイッチ部             |
| 21         | マルチプレクサ(MUX2)     |
| 22         | スイッチ              |
| 23         | デマルチプレクサ(DMUX)    |
| 2)         |                   |
| 30         |                   |
| 30         | QCCクラスバッファ        |
| 31-0~31-15 | 共通バッファ            |
| 32-0~32-15 | 品質クラス検出回路         |
| 33-0~33-15 | アドレスFIFO          |
| 34-0~34-15 | 讀出し制御回路           |
| 35         | 順序制御回路            |
| 36         | ライン指定FIFO         |
| 40         | QCCクラスバッファ        |
| 41         | 共通バッファ            |
| 42         | 品質クラス検出回路         |
| 43         | アドレスFIFO          |
| 44         | 讀出し制御回路           |
| 51         | セルフィルタ            |
| 51-1       | クラス1用通過フィルタ       |
| 51-2       | クラス2用通過フィルタ       |
| 50         | 52-1 クラス1用バッファメモリ |

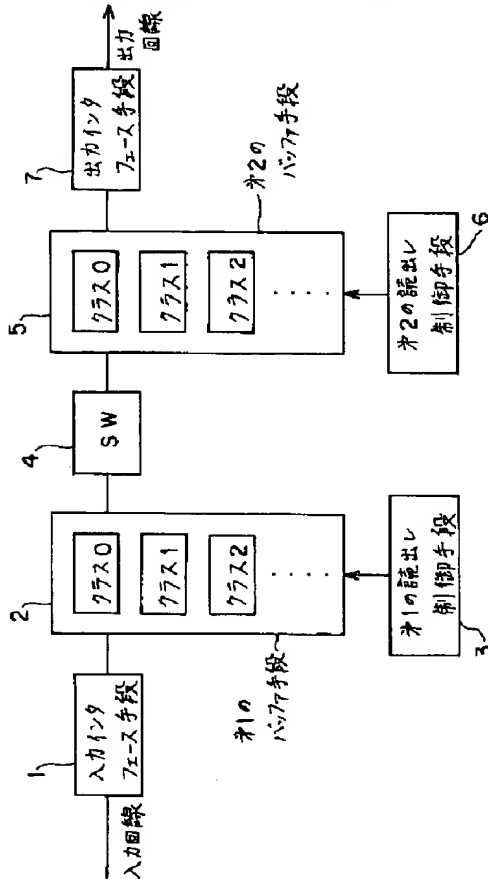
52-2                    21                    クラス2用バッファメモリ  
53-1, 53-2            カウンタ

54  
55

22                    出力制御部  
セクタ

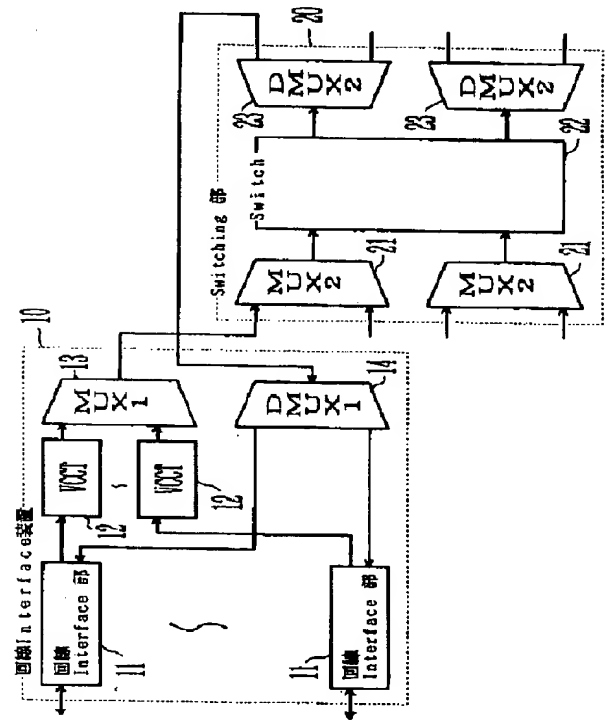
【図1】

本発明の原理を説明するためのブロック図



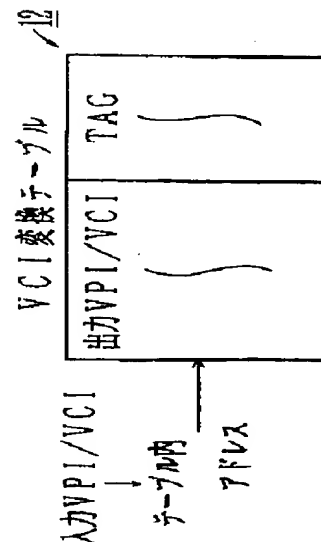
【図2】

本発明の一実施例のATM交換機の構成図



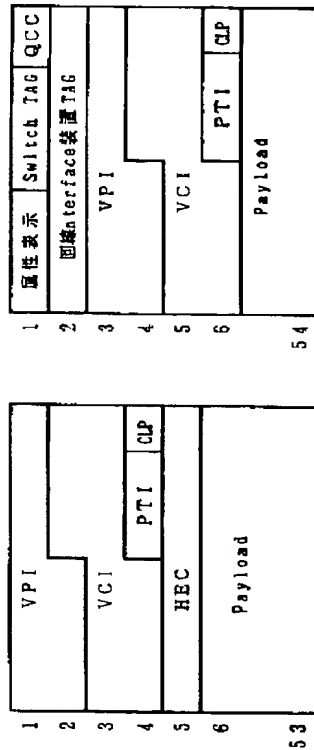
【図4】

VCI変換テーブルを模式的に示した図



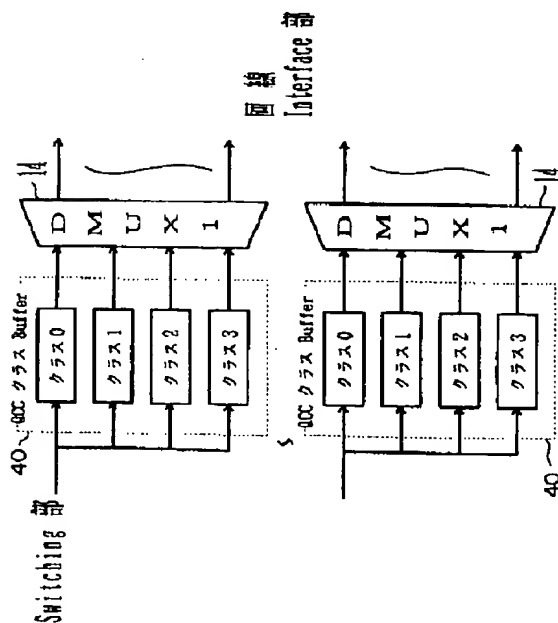
【図3】

本発明の一実施例のATMセルの構造を説明する図



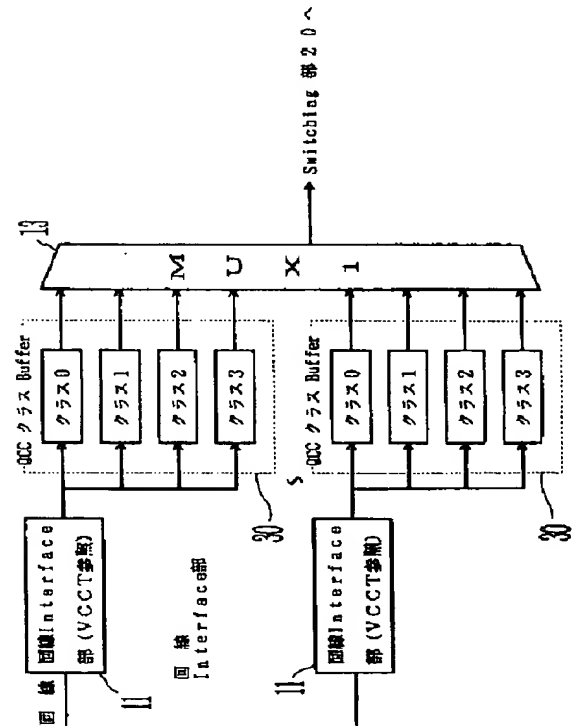
【図6】

スイッチと出力回線との間に設けた品質クラスバスの設定を行う回路を模式的に表した図



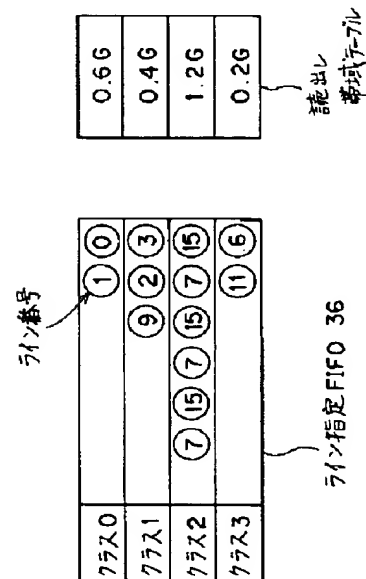
【図5】

入力回線とスイッチとの間に設けた品質クラスバスの設定を行う回路を模式的に表した図



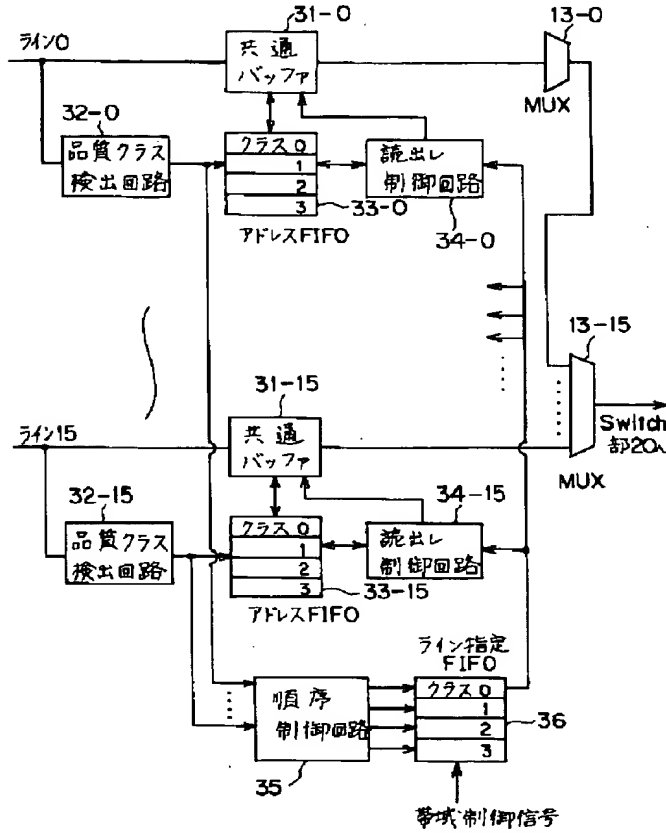
【図8】

ライン指定FIFOの制御を説明する概念図



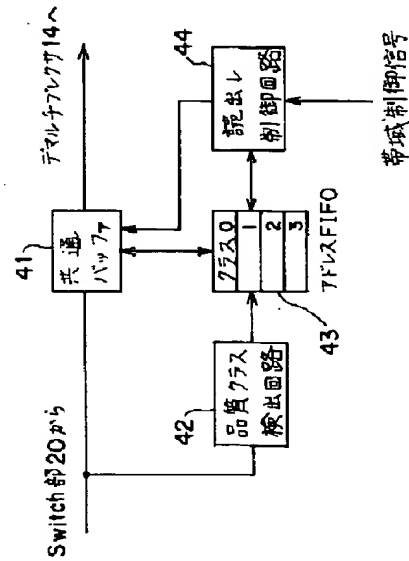
【図7】

図5に示す回路を具体的に示す図であり、マルチプレクス部における品質クラスパス設定回路を示す。



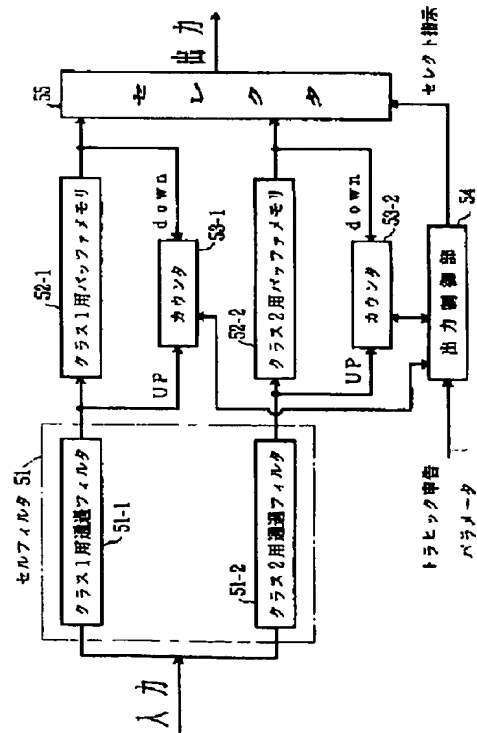
【図9】

図6に示す回路を具体的に示す図であり、デマルチプレクス部における品質クラスパス設定回路を示す。



【図10】

図6または図7に示す回路の他の実施例を示すブロック図



フロントページの続き

- (72)発明者 鮫島 範子  
神奈川県川崎市中原区上小田中1015番  
地 富士通株式会社内
- (72)発明者 初鹿野 一雄  
神奈川県川崎市中原区上小田中1015番  
地 富士通株式会社内